

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-269460

(43)Date of publication of application : 29.09.2000

(51)Int.Cl.

H01L 27/108
H01L 21/8242

(21)Application number : 11-074580

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 18.03.1999

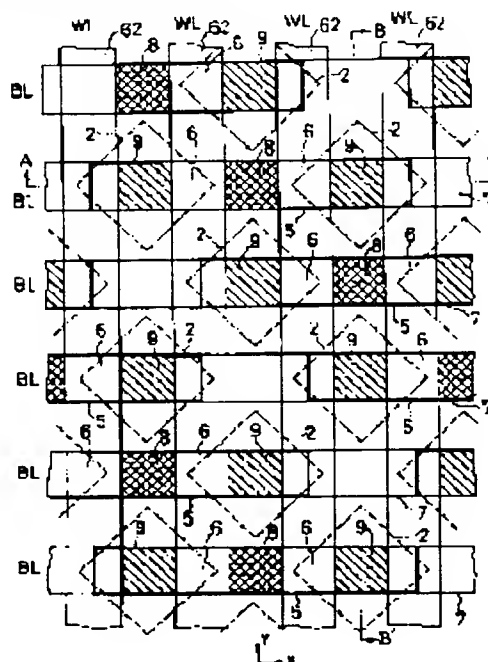
(72)Inventor : ISHIBASHI SHIGERU
HIEDA KATSUHIKO
KOYAMA HIROSUKE
NITAYAMA AKIHIRO

(54) SEMICONDUCTOR STORAGE DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To arrange trench capacitors in most dense manner and enable maximizing the occupancy area.

SOLUTION: Trench capacitors 2, whose size is $2F \times 2F$, are arranged on a semiconductor substrate, in such a manner that the directions of diagonal lines coincide with two rectangular directions of bit lines BL and word lines WL. A semiconductor layer is epitaxially grown on the semiconductor substrate, on which the capacitors 2 are formed. On the semiconductor layer, active element regions 5 divided by an element isolation insulating film are formed, in such a manner that two capacitors 2 in the bit line direction are spanned. Two transistor 6 are formed in each of the active element regions 5. One of diffused layers of the transistor 6 is connected with the bit line BL and the other is connected with a capacitor node layer via a capacitor contact layer 9.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-269460

(P2000-269460A)

(43) 公開日 平成12年9月29日 (2000. 9. 29)

(51) Int.Cl.⁷

識別記号

F I

テ-マコード (参考)

H 0 1 L 27/108
21/8242

H 0 1 L 27/10

6 2 5 A 5 F 0 8 3
6 7 1 C

審査請求 未請求 請求項の数16 O L (全 31 頁)

(21) 出願番号 特願平11-74580

(22) 出願日 平成11年3月18日 (1999. 3. 18)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 石橋 茂

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72) 発明者 稗田 克彦

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(74) 代理人 100092820

弁理士 伊丹 勝

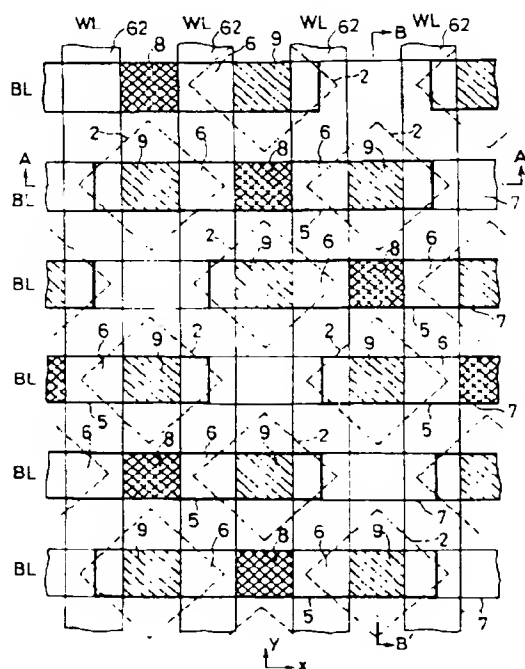
最終頁に続く

(54) 【発明の名称】 半導体記憶装置及びその製造方法

(57) 【要約】

【課題】 トレンチキャパシタを最密に配置してその占有面積を極大化することを可能とした半導体記憶装置とその製造方法を提供する。

【解決手段】 半導体基板に2F×2Fの大きさのトレンチキャパシタ2を、その対角線方向がビット線BLとワード線WLの直交二方向になるように配置する。キャパシタ2が形成された半導体基板上に半導体層をエピタキシャル成長させ、この半導体層に素子分離絶縁膜により区画された能動素子領域5を、ビット線方向の二つのキャパシタ2にまたがるように形成する。各能動素子領域5に2個ずつトランジスタ6を形成する。トランジスタ6の拡散層の一方はビット線BLに接続され、他方はキャパシタ・コンタクト層9を介してキャパシタノード層に接続される。



【特許請求の範囲】

【請求項1】 半導体基板と、

この半導体基板に一定ピッチで配列形成され複数のトレンチキャパシタと、

これらのトレンチキャパシタが形成された半導体基板上に形成された半導体層と、

この半導体層に埋め込み形成されて、隣接する二つのトレンチキャパシタにまたがる複数の能動素子領域を区画する素子分離絶縁膜と、

前記各能動素子領域に、ソース、ドレイン拡散層の一方を共有し他方が隣接する二つのトレンチキャパシタの領域上に位置するように2個ずつ形成されて、ゲートが一方に連続するワード線に接続された複数のトランジスタと、

前記各トランジスタの前記ソース、ドレイン拡散層の他方を対応する前記トレンチキャパシタのキャパシタノード層に接続するコンタクト層と、

前記ワード線と交差して配設されて前記トランジスタのソース、ドレイン拡散層の一方に接続されたビット線とを有することを特徴とする半導体記憶装置。

【請求項2】 前記トレンチキャパシタは、最小加工寸法をFとして一辺が2Fの略正方形であり、その正方形の対角線方向を前記ワード線とビット線の直交二方向に一致させて、その正方形の直交する二辺の方向にスペースが1F以下の一定ピッチで配列されていることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記トレンチキャパシタは、最小加工寸法をFとして一辺が2Fの略正方形であり、その正方形の辺の方向を前記ワード線とビット線の直交二方向に一致させ、ビット線方向にスペースが2F以上の一定ピッチで且つ、隣接するビット線では順次1が2ピッチずつずれた状態に配列されていることを特徴とする請求項1記載の半導体記憶装置。

【請求項4】 前記能動素子領域は、前記ビット線方向に一定ピッチで且つ隣接するビット線で順次1が4ピッチずつずれた状態に配列されることを特徴とする請求項2又は3に記載の半導体記憶装置。

【請求項5】 前記コンタクト層は、前記トランジスタ形成後に前記ソース、ドレイン拡散層の他方を貫通して前記キャパシタノード層に達するように埋め込み形成されていることを特徴とする請求項1記載の半導体記憶装置。

【請求項6】 前記半導体層は、第1のエピタキシャル成長層とこの上に形成された第2のエピタキシャル成長層とからなり、

前記コンタクト層は、前記第2のエピタキシャル成長層の形成前に前記第1のエピタキシャル成長層に前記キャパシタノード層に達するように埋め込み形成され、

前記ソース、ドレイン拡散層は前記第2のエピタキシャル成長層形成後に形成されて、前記ソース、ドレイン拡

散層の他方の底面が前記コンタクト層の上面に接続されることを特徴とする請求項1記載の半導体記憶装置。

【請求項7】 前記コンタクト層は、前記トランジスタ形成前に前記半導体層に前記キャパシタノード層に達するように埋め込み形成され、前記ソース、ドレイン拡散層の他方は、前記コンタクト層の上部側方に形成された埋め込み拡散層を介して前記コンタクト層に接続されていることを特徴とする請求項1記載の半導体記憶装置。

【請求項8】 前記コンタクト層は、前記トランジスタ形成前に前記半導体層に前記キャパシタノード層に達するように埋め込み形成され、前記ソース、ドレイン拡散層の他方は、その表面に形成された接続導体を介して前記コンタクト層の上面に接続されていることを特徴とする請求項1記載の半導体記憶装置。

【請求項9】 前記半導体層は、前記キャパシタが形成された半導体基板に貼り合わせられた別の半導体基板のハルク半導体層と、このハルク半導体層に形成されたエピタキシャル成長層とからなり、

前記コンタクト層は、前記エピタキシャル成長層の形成前に前記ハルク半導体層に前記キャパシタノード層に達するように埋め込み形成され、

前記ソース、ドレイン拡散層は前記エピタキシャル成長層形成後に形成されて、前記ソース、ドレイン拡散層の他方の底面が前記コンタクト層の上面に接続されることを特徴とする請求項1記載の半導体記憶装置。

【請求項10】 前記半導体基板とこれに貼り合わされた別の半導体基板の貼り合わせ面には基板分離用絶縁膜が介在し、

前記素子分離絶縁膜は、ビット線方向の素子分離領域に前記基板分離用絶縁膜に達する深さに埋め込み形成された第1の素子分離絶縁膜と、この第1の素子分離絶縁膜と一部重なりビット線方向とワード線方向の素子分離領域に第1の素子分離絶縁膜より浅く埋め込み形成された第2の素子分離絶縁膜を有することを特徴とする請求項9記載の半導体記憶装置。

【請求項11】 半導体基板と、

この半導体基板に能動素子領域を区画するために埋め込み形成された、第1の絶縁膜とこれより浅い第2の絶縁膜とからなる素子分離絶縁膜と、

この素子分離絶縁膜により区画された前記能動素子領域に形成された素子とを有することを特徴とする半導体装置。

【請求項12】 半導体基板に、キャパシタノード層がキャップ絶縁膜で覆われた状態で且つそのキャップ絶縁膜表面が前記半導体基板の表面より下に位置するように、複数のトレンチキャパシタを一定ピッチで配列形成する工程と、

前記トレンチキャパシタが形成された半導体基板上に半導体層をエピタキシャル成長させる工程と、

前記半導体層に素子分離絶縁膜を形成することにより、

各能動素子領域が隣接する二つのトレンチキャパシタにまたがるように複数の能動素子領域を区画する工程と、前記各能動素子領域に二つずつのトランジスタをそのソース、ドレイン拡散層の一方を共有し、他方が前記トレンチキャパシタ上に位置するように、且つゲート電極が一方方向に連続するワード線となるように形成する工程と、

前記ゲート電極の間に前記ソース、ドレイン拡散層の他方を貫通して前記キャパシタノード層に達するコンタクト層を埋め込む工程と、

前記ソース、ドレイン拡散層の一方に接続されて前記ワード線と交差するようにビット線を形成する工程とを有することを特徴とする半導体記憶装置の製造方法。

【請求項13】半導体基板に、キャパシタノード層がキャップ絶縁膜で覆われた状態で且つそのキャップ絶縁膜表面が前記半導体基板の表面より下に位置するように、複数のトレンチキャパシタを一定ピッチで配列形成する工程と、

前記トレンチキャパシタが形成された半導体基板上に第1の半導体層をエピタキシャル成長させる工程と、

前記第1の半導体層に前記キャパシタノード層に達するコンタクト層を埋め込む工程と、

前記コンタクト層が埋め込まれた第1の半導体層上に第2の半導体層をエピタキシャル成長させる工程と、

前記第2の半導体層に素子分離絶縁膜を形成することにより、各能動素子領域が隣接する二つのトレンチキャパシタにまたがるように複数の能動素子領域を区画する工程と、

前記各能動素子領域に二つずつのトランジスタをそのソース、ドレイン拡散層の一方を共有し、他方が前記コンタクト層の上面に接続されるように、且つゲート電極が一方方向に連続するワード線となるように形成する工程と、

前記ソース、ドレイン拡散層の一方に接続されて前記ワード線と交差するようにビット線を形成する工程とを有することを特徴とする半導体記憶装置の製造方法。

【請求項14】半導体基板に、キャパシタノード層がキャップ絶縁膜で覆われた状態で且つそのキャップ絶縁膜表面が前記半導体基板の表面より下に位置するように、複数のトレンチキャパシタを一定ピッチで配列形成する工程と、

前記トレンチキャパシタが形成された半導体基板上に半導体層をエピタキシャル成長させる工程と、

前記半導体層に前記トレンチキャパシタのキャパシタノード層に達するコンタクト層をその上端部が前記半導体層に形成される不純物拡散層に接続された状態に埋め込み形成する工程と、

前記半導体層に素子分離絶縁膜を形成することにより、各能動素子領域が隣接する二つのトレンチキャパシタにまたがるように複数の能動素子領域を区画する工程と、

前記各能動素子領域に二つずつのトランジスタをそのソース、ドレイン拡散層の一方を共有し、他方が前記不純物拡散層を介して前記コンタクト層に接続されるように、且つゲート電極が一方方向に連続するワード線となるように形成する工程と、

前記ソース、ドレイン拡散層の一方に接続されて前記ワード線と交差するようにビット線を形成する工程とを有することを特徴とする半導体記憶装置の製造方法。

【請求項15】半導体基板に、キャパシタノード層がキャップ絶縁膜で覆われた状態で且つそのキャップ絶縁膜表面が前記半導体基板の表面より下に位置するように、複数のトレンチキャパシタを一定ピッチで配列形成する工程と、

前記トレンチキャパシタが形成された半導体基板上に半導体層をエピタキシャル成長させる工程と、

前記半導体層に前記トレンチキャパシタのキャパシタノード層に達するコンタクト層を埋め込み形成する工程と、

前記半導体層に素子分離絶縁膜を形成することにより、各能動素子領域が隣接する二つのトレンチキャパシタにまたがるように複数の能動素子領域を区画する工程と、前記各能動素子領域に二つずつのトランジスタをそのソース、ドレイン拡散層の一方を共有し、他方が前記トレンチキャパシタ領域上に位置するように、且つゲート電極が一方方向に連続するワード線となるように形成する工程と、

前記ソース、ドレイン拡散層の他方を対応する前記コンタクト層に接続するための表面接続導体を前記ワード線に自己整合された状態に形成する工程と、

前記ソース、ドレイン拡散層の一方に接続されて前記ワード線と交差するようにビット線を形成する工程とを有することを特徴とする半導体記憶装置の製造方法。

【請求項16】半導体基板に、キャパシタノード層がキャップ絶縁膜で覆われた状態で複数のトレンチキャパシタを一定ピッチで配列形成する工程と、

前記トレンチキャパシタが形成された半導体基板上に基板分離用絶縁膜を介して別の半導体基板を貼り合わせることににより第1の半導体層を形成する工程と、

前記第1の半導体層に前記キャパシタノード層に達するコンタクト層を埋め込む工程と、

前記コンタクト層が埋め込まれた第1の半導体層上に第2の半導体層をエピタキシャル成長させる工程と、

前記第1及び第2の半導体層に素子分離絶縁膜を形成することにより、各能動素子領域が隣接する二つのトレンチキャパシタにまたがるように複数の能動素子領域を区画する工程と、

前記各能動素子領域に二つずつのトランジスタをそのソース、ドレイン拡散層の一方を共有し、他方が前記コンタクト層の上面に接続されるように、且つゲート電極が一方方向に連続するワード線となるように形成する工程

と、前記ソース、ドレイン拡散層の一方に接続されて前記ワード線と交差するようにビット線を形成する工程とを有することを特徴とする半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、1トランジスタ1キャパシタ構造のメモリセルを持つ半導体記憶装置(DRAM)に係り、特にトレンチキャパシタを持つDRAMとその製造方法に関する。

【0002】

【従来の技術】DRAMの高集積化は、素子及び配線の微細化により達成されてきた。しかし、素子の微細化は、メモリセル動作に必要なキャパシタの容量確保を難しくするため、キャパシタ構造の三次元化が行われている。特に、基板に溝(トレンチ)を掘り、その側壁にキャパシタを形成するものは、平坦性に優れており、256MビットDRAMや1GビットDRAM用として開発が進められている。

【0003】しかし、キャパシタ絶縁膜の薄膜化に限界があるため、いかにしてトレンチ側壁面積を増やすかが大きな課題である。トレンチの側壁面積を増大できない理由の一つとして、トランジスタとキャパシタが隣接して並列にレイアウトされるので、メモリセル面積が小さくなるにつれて、トレンチの径が小さくなることが挙げられる。

【0004】この問題を解決するために、トレンチキャパシタの上部にトランジスタを形成することにより、トレンチ面積の増大を図る技術が提案されている(例えば、IEDM'88 Technical Digest, pp. 588-591, "A buried-Trench DRAM Cell Using A Self-aligned Epitaxy Over Trench Technology")。

【0005】

【発明が解決しようとする課題】トレンチキャパシタが形成された基板上にエピタキシャル層を成長させ、ここにトランジスタを形成する方法により、キャパシタ面積を増大させることができるが、この技術でも未だ問題が残る。即ち、トランジスタとキャパシタノード層との接続部分がキャパシタに対して合わせずれがあると、コンタクト抵抗が増大する。また埋め込みプレート層を形成する工程、キャパシタとトランジスタの接続工程等が複雑である。更に、キャパシタ上部の酸化膜上に形成するエピタキシャル層は結晶性の制御が困難であり、ウェハ全体にわたってトランジスタの品質を確保することが難しい。

【0006】この発明は、上記課題を解決して、トレンチキャパシタを最密に配置してその占有面積を極大化することを可能とした半導体記憶装置とその製造方法を提供することを目的としている。

【0007】

【課題を解決するための手段】この発明に係る半導体記憶装置は、半導体基板と、この半導体基板に一定ピッチで配列形成され複数のトレンチキャパシタと、これらのトレンチキャパシタが形成された半導体基板上に形成された半導体層と、この半導体層に埋め込み形成されて、隣接する二つのトレンチキャパシタにまたがる複数の能動素子領域を区画する素子分離絶縁膜と、前記各能動素子領域に、ソース、ドレイン拡散層の一方を共有し他方が隣接する二つのトレンチキャパシタの領域上に位置するように二個ずつ形成されて、ゲートが一方に連続するワード線に接続された複数のトランジスタと、前記各トランジスタの前記ソース、ドレイン拡散層の他方を対応する前記トレンチキャパシタのキャパシタノード層に接続するコンタクト層と、前記ワード線と交差して配設されて前記トランジスタのソース、ドレイン拡散層の一方に接続されたビット線とを有することを特徴とする。

【0008】この発明において、トレンチキャパシタは具体的には、(a) 最小加工寸法をFとして一辺が2Fの略正方形であり、その正方形の対角線の方角を前記ワード線とビット線の直交二方向に一致させて、その正方形の直交する二辺の方角にスペースが1F以下の一定ピッチで配列されるか、或いは(b) 最小加工寸法をFとして一辺が2Fの略正方形であり、その正方形の辺の方角を前記ワード線とビット線の直交二方向に一致させ、ビット線方向にスペースが2F以上の一定ピッチで且つ、隣接するビット線では順次1/2ピッチずつずれた状態に配列されて、(a)、(b) いずれのトレンチキャパシタ配列の場合も、能動素子領域は、ビット線方向に一定ピッチで且つ隣接するビット線で順次1/4ピッチずつずれた状態に配列される。

【0009】この発明において、トランジスタの拡散層をトレンチキャパシタのキャパシタノード層に接続するためにコンタクト層が半導体層に埋め込まれるが、その具体的なコンタクトの態様には、次のような手法が用いられる。

(1) コンタクト層を、トランジスタ形成後に、トランジスタ拡散層を貫通してキャパシタノード層に達するように埋め込み形成する。

(2) 能動素子領域を形成する半導体層が第1及び第2のエピタキシャル成長層により構成する。そして、コンタクト層は、第2のエピタキシャル成長層の形成前に第1のエピタキシャル成長層に前記キャパシタノード層に達するように埋め込み形成する。トランジスタ拡散層は第2のエピタキシャル成長層形成後に形成して、その底面がコンタクト層の上面に接続されるようにする。

(3) コンタクト層を、トランジスタ形成前に半導体層にキャパシタノード層に達するように埋め込み形成し、トランジスタ拡散層が、コンタクト層の上部側方に形成された埋め込み拡散層を介してコンタクト層に接続されるようにする。

(4) コンタクト層を、トランジスタ形成前に半導体層にキャパシタノード層に達するように埋め込み形成し、トランジスタ拡散層は、その表面に形成された接続導体を介してコンタクト層の上面に接続されるようにする。

【0010】この発明において、トレンチキャパシタは具体的に、トレンチ面から基板に拡散形成された半導体基板と逆導電型層からなる埋め込みプレートとを有する。この埋め込みプレートの上端が半導体基板の表面位置より下になるように形成した場合には、トレンチキャパシタの上部に寄生トランジスタ等の動作を防止するためのウラー絶縁膜を形成することが必要になる。従ってまた、キャパシタコンタクト層も2段階に埋め込むことが必要になる。

【0011】これに対して、埋め込みプレートを半導体基板の表面まで形成する構造としてもよい。この場合には、トレンチキャパシタは、トレンチ内壁全体にキャパシタ絶縁膜を形成し、1ステップでコンタクト層を埋め込んだ簡単な構造とすることができる。これにより、プロセスの簡略化が図られ、またトレンチキャパシタの実質面積が大きくなって、後のコンタクト孔形成の際の合わせズレに対する余裕が大きくなる。

【0012】また上述した(4)の表面ストラップ方式を採用する場合、キャパシタノード層上に埋め込まれるコンタクト層と、この上に形成されるトランジスタ拡散層との間には一部重なる状態で一定の位置ズレを与えることが必要である。そのためには、例えば、①能動素子領域をその中心がトレンチキャパシタの中心を通るようにレイアウトする場合には、コンタクト層はトレンチキャパシタの中心からワード線方向にずれた位置に形成する。或いは、②コンタクト層をトレンチキャパシタの中心に配置する場合に、能動素子領域がその中心がトレンチキャパシタの中心からワード線方向にずれた状態で配設する。

【0013】またこの発明において、トレンチキャパシタはその上に半導体層をエピタキシャル成長させる際にキャップ絶縁膜で覆われる。このため、トレンチキャパシタ領域上には多結晶半導体層が成長する。従って、能動能動素子領域にトランジスタ形成に先立ってウェルを形成する場合に、ウェルの境界が多結晶半導体層に接しない状態とすることが好ましい。具体的に、ウェルとトレンチキャパシタの埋め込みプレートの間で形成されるpn接合面が、多結晶層領域より上に形成されるようにすることで、接合リークを低減することができる。

【0014】この発明において、半導体層は、キャパシタが形成された半導体基板に貼り合わせられた別の半導体基板のバルク半導体層と、このバルク半導体層に形成されたエピタキシャル成長層とから構成することもできる。この場合、トランジスタ拡散層をキャパシタノード層に接続するコンタクト層は、エピタキシャル成長層の形成前にバルク半導体層にキャパシタノード層に達する

ように埋め込み形成される。そして、ソース、ドレイン拡散層はエピタキシャル成長層形成後に形成されて、その底面がコンタクト層の上面に接続されるようにする。

【0015】また基板貼り合わせ技術を用いる場合に、好ましくは基板接合面には基板分離用絶縁膜を介在させる。そして、素子分離絶縁膜を、ビット線方向の素子分離領域に基板分離用絶縁膜に達する深さに埋め込み形成された第1の素子分離絶縁膜と、この第1の素子分離絶縁膜と一部重なりビット線方向とワード線方向の素子分離領域に第1の素子分離絶縁膜より浅く埋め込み形成された第2の素子分離絶縁膜とから構成する。

【0016】この発明に係る半導体装置はまた、半導体基板と、この半導体基板に能動素子領域を区画するために埋め込み形成された、第1の絶縁膜とこれより浅い第2の絶縁膜とからなる素子分離絶縁膜と、この素子分離絶縁膜により区画された前記能動素子領域に形成された素子とを有することを特徴とする。

【0017】この発明に係る半導体記憶装置の製造方法は、半導体基板に、キャパシタノード層がキャップ絶縁膜で覆われた状態で且つそのキャップ絶縁膜表面が前記半導体基板の表面より下に位置するように、複数のトレンチキャパシタを一定ピッチで配列形成する工程と、前記トレンチキャパシタが形成された半導体基板上に半導体層をエピタキシャル成長させる工程と、前記半導体層に素子分離絶縁膜を形成することにより、各能動素子領域が隣接する二つのトレンチキャパシタにまたがるように複数の能動素子領域を区画する工程と、前記各能動素子領域に二つずつのトランジスタをそのソース、ドレイン拡散層の一方を共有し、他方が前記トレンチキャパシタ上に位置するように、且つゲート電極が一方に連続するワード線となるように形成する工程と、前記ゲート電極の間に前記ソース、ドレイン拡散層の他方を貫通して前記キャパシタノード層に達するコンタクト層を埋め込む工程と、前記ソース、ドレイン拡散層の一方に接続されて前記ワード線と交差するようにビット線を形成する工程とを有することを特徴とする。

【0018】この発明に係る半導体記憶装置の製造方法はまた、半導体基板に、キャパシタノード層がキャップ絶縁膜で覆われた状態で且つそのキャップ絶縁膜表面が前記半導体基板の表面より下に位置するように、複数のトレンチキャパシタを一定ピッチで配列形成する工程と、前記トレンチキャパシタが形成された半導体基板に第1の半導体層をエピタキシャル成長させる工程と、前記第1の半導体層に前記キャパシタノード層に達するコンタクト層を埋め込む工程と、前記コンタクト層が埋め込まれた第1の半導体層上に第2の半導体層をエピタキシャル成長させる工程と、前記第2の半導体層に素子分離絶縁膜を形成することにより、各能動素子領域が隣接する二つのトレンチキャパシタにまたがるように複数の能動素子領域を区画する工程と、前記各能動素子領域

に二つずつのトランジスタをそのソース、ドレイン拡散層の一方を共有し、他方が前記コンタクト層の上面に接続されるように、且つゲート電極が一方向に連続するワード線となるように形成する工程と、前記ソース、ドレイン拡散層の一方に接続されて前記ワード線と交差するようにビット線を形成する工程とを有することを特徴とする。

【0019】この発明に係る半導体記憶装置の他の製造方法は、半導体基板に、キャパシタノード層がキャップ絶縁膜で覆われた状態で且つそのキャップ絶縁膜表面が前記半導体基板の表面より下に位置するように、複数のトレンチキャパシタを一定ピッチで配列形成する工程と、前記トレンチキャパシタが形成された半導体基板上に半導体層をエピタキシャル成長させる工程と、前記半導体層に前記トレンチキャパシタのキャパシタノード層に達するコンタクト層をその上端部が前記半導体層に形成される不純物拡散層に接続された状態で埋め込み形成する工程と、前記半導体層に素子分離絶縁膜を形成することにより、各能動素子領域が隣接する二つのトレンチキャパシタにまたがるように複数の能動素子領域を区画する工程と、前記各能動素子領域に二つずつのトランジスタをそのソース、ドレイン拡散層の一方を共有し、他方が前記不純物拡散層を介して前記コンタクト層に接続されるように、且つゲート電極が一方向に連続するワード線となるように形成する工程と、前記ソース、ドレイン拡散層の一方に接続されて前記ワード線と交差するようにビット線を形成する工程とを有することを特徴とする。

【0020】この発明に係る半導体記憶装置の更に他の製造方法は、半導体基板に、キャパシタノード層がキャップ絶縁膜で覆われた状態で且つそのキャップ絶縁膜表面が前記半導体基板の表面より下に位置するように、複数のトレンチキャパシタを一定ピッチで配列形成する工程と、前記トレンチキャパシタが形成された半導体基板上に半導体層をエピタキシャル成長させる工程と、前記半導体層に前記トレンチキャパシタのキャパシタノード層に達するコンタクト層を埋め込み形成する工程と、前記半導体層に素子分離絶縁膜を形成することにより、各能動素子領域が隣接する二つのトレンチキャパシタにまたがるように複数の能動素子領域を区画する工程と、前記各能動素子領域に二つずつのトランジスタをそのソース、ドレイン拡散層の一方を共有し、他方が前記トレンチキャパシタ領域上に位置するように、且つゲート電極が一方向に連続するワード線となるように形成する工程と、前記ソース、ドレイン拡散層の他方を対応する前記コンタクト層に接続するための表面接続導体を前記ワード線に自己整合された状態に形成する工程と、前記ソース、ドレイン拡散層の一方に接続されて前記ワード線と交差するようにビット線を形成する工程とを有することを特徴とする。

【0021】この発明に係る半導体記憶装置の更に他の製造方法は、半導体基板に、キャパシタノード層がキャップ絶縁膜で覆われた状態で複数のトレンチキャパシタを一定ピッチで配列形成する工程と、前記トレンチキャパシタが形成された半導体基板に基板分離絶縁膜を介して別の半導体基板を貼り合わせることにより第1の半導体層を形成する工程と、前記第1の半導体層に前記キャパシタノード層に達するコンタクト層を埋め込む工程と、前記コンタクト層が埋め込まれた第1の半導体層上に第2の半導体層をエピタキシャル成長させる工程と、前記第1及び第2の半導体層に素子分離絶縁膜を形成することにより、各能動素子領域が隣接する二つのトレンチキャパシタにまたがるように複数の能動素子領域を区画する工程と、前記各能動素子領域に二つずつのトランジスタをそのソース、ドレイン拡散層の一方を共有し、他方が前記コンタクト層の上面に接続されるように、且つゲート電極が一方向に連続するワード線となるように形成する工程と、前記ソース、ドレイン拡散層の一方に接続されて前記ワード線と交差するようにビット線を形成する工程とを有することを特徴とする。

【0022】この発明によると、トレンチキャパシタが埋め込まれた基板上に半導体層を形成してトランジスタを形成することにより、トレンチキャパシタを最密に配置してその占有面積を極大化することができる。またこれにより、トレンチキャパシタ溝加工の際のアスペクト比を下げ、更にキャパシタ面積を大きくしてトランジスタとの接続部の合わせずれに対する耐性を大きいものとするところができる。

【0023】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態を説明する。

〔実施の形態1〕図1は、実施の形態1のDRAMレイアウトを示し、図2及び図3は図1のa A-A'及びB-B'断面を示している。この実施の形態では、シリコン基板1に、図1に破線で示すように、トレンチキャパシタ（以下、単にキャパシタという）2が正方形をなして一定ピッチで配列される。キャパシタ2の大きさは、最小加工寸法Fとして例えば $2F \times 2F$ であり、その対角線の方向がビット線BLとワード線WLの直交二方向（以下、ビット線BLの方向をx、ワード線WLの方向をyとする）に一致するように、且つx、y方向から 45° 傾斜した方向（即ち、キャパシタの直交する二辺の方向）に、スペースが1Fの一定ピッチでマトリクス配列されている。実際にはキャパシタ溝形成時、オーバーエッチングを行う等の加工条件により、スペースは1F以下になり得る。

【0024】キャパシタ2が形成された基板1上には、シリコン層3がエピタキシャル成長され、このシリコン層3にキャパシタ2の一部重なる状態でトランジスタ6が形成される。トランジスタ6が形成される能動素子領域

域5は、図1に太線で囲んだように、x方向に隣接する二つのキャパシタ2の領域にまたがるように細長い島状をなして素子分離絶縁膜4により区画され、x方向に6Fの大きさで且つ、2Fのスペースをもって配列され、y方向には順次1/4ピッチずつずれた状態で配列される。ワード線WLは、トランジスタ6のゲート電極62をy方向に連続的に配設して形成される。ビート線(BL)7は、ワード線WLと直交して配設される。

【0025】ビート線BLは、トランジスタ6のソース、ドレイン拡散層63のうち、一つの素子領域4に形成された隣接する二つのトランジスタの共通拡散層63に対して、キャパシタ・コンタクト層8を介して接続される。トランジスタの他方の拡散層63は、キャパシタ2の領域に位置して、キャパシタ2上に埋め込み形成されたコンタクト層9に接続される。コンタクト層9は後述するように、ワード線WLの間に自己整合されて埋め込み形成される。

【0026】この実施の形態の具体的なDRAM製造工程を、図2の断面に対応する断面を用いて、図4～図13を参照して説明する。シリコン基板1(以下ともそのメモリセルアレイ領域がp型である)にまず、5nm程度のバッド酸化膜(シリコン酸化膜)101を熱酸化により形成し、その上に200nm程度のバッド酸化膜(シリコン窒化膜)102を堆積する。更にその上にTEOS酸化膜(図示せず)を堆積する。そして、リソグラフィによりTEOS酸化膜上に、図1に示すトレレンチ2のレジストパターンを形成し、TEOS酸化膜、バッド酸化膜102、バッド酸化膜101をRIE(Reactive Ion Etching)によりエッチングする。

【0027】レジスト剥離後、バッド酸化膜102とバッド酸化膜101をマスクとして、シリコン基板1をRIEによりエッチングし、キャパシタ用トレレンチ21を形成する。トレレンチ21の形成後、その内部を軽く酸化し、ASGの堆積と熱処理による固相拡散、またはAs気相拡散により、n型埋め込みプレート24を形成する。トレレンチ上部には、n型にならずにp型層が残るようにする。この埋め込みプレート24が形成された後、トレレンチ側壁にキャパシタ絶縁膜22を形成する。キャパシタ絶縁膜22は、シリコン窒化膜又はこれとシリコン酸化膜の積層膜であり、酸化膜換算で3nm程度の膜厚とする。

【0028】更に、Asドーパ多結晶シリコンを堆積し、CMP(Cheical Mechanical Polishing)やRIEにより、表面が埋め込みプレート24より下に位置するようにリセスエッチングすることにより、トレレンチ21に内にキャパシタノード層(ストレージノード層)23を埋め込む。続いて、キャパシタノード層23をマスクとしてキャパシタ絶縁膜21の上部をエッチングする(ここまで、図4)。

【0029】次に、トレレンチ上部を軽く酸化した後、厚

いシリコン酸化膜25を堆積し、これをRIEによってトレレンチ21の側壁に残す。このシリコン酸化膜25は、埋め込みプレート24と後に形成されるトランジスタのn型拡散層の間で縦型寄生トランジスタが動作するのを防止する働きをする。続いて、再度Asドーパ多結晶シリコンを堆積し、これをCMPやRIEによりシリコン基板1の面より下に表面が位置するようにリセスして、図5に示すように、第2のキャパシタノード層26を埋め込み形成する。

【0030】次に、トレレンチ21内の多結晶シリコンからなるキャパシタノード層23、26が後の工程で酸化されるのを防止するために、図6に示すように、シリコン酸化膜27とシリコン窒化膜28を積層形成する。そして、シリコン窒化膜28をCMP処理により平坦化した後、RIEによりシリコン窒化膜28をエッチングして、図7に示すように、シリコン窒化膜28の表面位置がシリコン基板1の表面より下に位置するようにする。これは、後のシリコン層エピタキシャル工程で良質のシリコン結晶を得るために必要である。またシリコン窒化膜28は、この後形成されるシリコン層とキャパシタノード層26を分離する、キャパシタノード層26を覆うキャップ絶縁膜となる。

【0031】次に、酸化膜101と窒化膜102を除去した後、シリコン層3を2μm程度エピタキシャル成長させる。そして表面を平坦化するため、CMP処理を行い、500nm程度のシリコン層3を残す(ここまで、図8)。このとき、CMPによる平坦化の負担を減らすため、水素アニールを併用してもよい。シリコン層3はキャパシタ2の周囲にあるシリコン基板1の結晶面を種として結晶成長し、トランジスタ形成に適した良質の結晶性を有するものとなる。シリコン層3は成長時はノンドーパ(n型)であり、後に説明するようにウェルイオン注入によりp型ウェルが形成される。

【0032】次いで、STI(Shallow Trench Isolation)技術による素子分離工程に入る。図9に示すように、シリコン窒化膜103とシリコン窒化膜104を堆積し、その上に能動素子領域5のレジストパターン(図示せず)をリソグラフィにより形成し、窒化膜104と酸化膜103をエッチングする。そして、これらの窒化膜104と酸化膜103をマスクとしてシリコン層3をRIEによりエッチングして素子分離溝を形成した後、図9に示すように、CVDシリコン窒化膜からなる素子分離絶縁膜4を埋め込む。これにより能動素子領域5は、図1に太線で示したように、x方向に隣接する二つのキャパシタ2にまたがり、2Fのスペースをもって細長い島状パターンとして配列され、y方向には1/4ピッチずつずれた状態に配列形成される。

【0033】その後、窒化膜104と酸化膜103を除去して、素子領域5に犠牲酸化膜(図示せず)を形成する。そして、この犠牲酸化膜を通してウェル形成のイオ

ン注入としきい値調整のイオン注入を行う。これにより素子領域5にはp型ウェルが形成される。犠牲酸化膜を剥離した後、トランジスタ6の形成工程に入る。即ちゲート絶縁膜61を例えばシリコン窒化酸化膜により形成し、その上にゲート電極62をパターン形成する。ゲート電極62は、70nmの多結晶シリコン膜62a、45nmの窒化タンタル・タンタル膜62b、及び150nmのシリコン窒化膜64を積層し、これらをリソグラフィでパターン形成することにより形成される。

【0034】ゲート電極62は、図1に示すように連続的に配設され、これがワード線WLとなる。そしてゲート電極62の側壁にシリコン窒化膜65を形成した後、イオン注入を行って、ソース、ドレインとなるn型拡散層63を形成する。更にエッチングストッパ用の薄いシリコン窒化膜66を介して層間絶縁膜となるBPSG膜67を堆積し、CMP処理を行う。これにより、図10に示すように、ゲート電極62の間にBPSG膜67が埋め込まれた状態で全体が平坦化される。

【0035】次に、キャパシタ・コンタクトとビット線コンタクトを同時に形成する工程に入る。まず、素子領域5の反転パターンのレジストパターン（図示せず）を形成し、図11に示すように、素子領域5上のBPSG膜67をエッチングする。更に、BPSG膜67の下に薄いシリコン窒化膜66もRIEによりエッチングして、シリコン層3の表面即ち、n型拡散層63の表面を露出させる。

【0036】次いで、図12に示すように、キャパシタ2の領域に開口を持つレジストパターン105を形成し、シリコン窒化膜に対して高選択比を持つエッチング法でシリコンエッチングを行い、露出したシリコン酸化膜28をもエッチングして、キャパシタノード層26に対するコンタクト孔106を形成する。このとき、コンタクト孔106の位置は、図1のレイアウト上のA-A'方向については、ゲート電極62の間のスペース、即ちゲート電極62とキャパシタ2の位置合わせで決まる。またB-B'方向については、素子領域5とキャパシタ2の位置合わせで決まる。いずれも十分な合わせ余裕があるため、コンタクト孔106がキャパシタノード層26から外れて、コンタクト抵抗が増大する可能性はない。

【0037】レジストパターン105を除去した後、図13に示すように、コンタクト孔106の側壁に、縦型の寄生トランジスタの動作を防止するためにカラー絶縁膜107を形成する。この工程はまず、TEOS酸化膜をコンタクト孔106内に20nm程度堆積し、RIEにより側壁のみに残す。更にレジストをコンタクト孔106に埋め込み、リセスして、側壁絶縁膜のソース、ドレイン拡散層63との接続部を露出させる。続いてウェットエッチングを行って、側壁絶縁膜を除去する。これ

により、n型拡散層63との接続部を露出させた状態のカラー絶縁膜107が形成される。

【0038】上のカラー絶縁膜107の形成工程で、ビット線コンタクト部にはレジストが残らないため、ウェットエッチング工程でBPSG膜67が除去され、コンタクト孔108が形成される。そこで次に、ASドーパ多結晶シリコンを堆積してCMP又はRIEにより平坦化することにより、図13に示すように、トランジスタ6の拡散層63をキャパシタノード層26に接続するためのキャパシタ・コンタクト層9と、ビット線コンタクト層8が同時に埋め込み形成される。トランジスタ拡散層63は、埋め込まれたコンタクト層9の上部側面に接続されることになる。

【0039】なお、n型多結晶シリコンからなるコンタクト層9とp型シリコン層3との間の接合リークを軽減し、またコンタクト層9がシリコン層3と接触する部分から結晶化するのを防止するために、多結晶シリコン堆積前にコンタクト孔106の側壁にごく薄いシリコン窒化膜を形成することも有効である。最後に、公知のダマシーク法を用いて、図2及び図3に示すように、層間絶縁膜71を介してビット線7を形成する。以下、図には示さないが公知の金属配線技術を適用して、DRAMが完成する。

【0040】この実施の形態によると、キャパシタは1F或いはそれ以下の一定スペースをもって最密配置され、メモリセル面積に対してキャパシタ面積及びキャパシタ周辺長は極大、従ってキャパシタ容量が極大になる。しかもキャパシタ面積が大きいため、その形状が対称的であることから、キャパシタ溝加工時のアスペクト比を小さくすることでき、キャパシタ加工が容易である。更に、一辺が2Fのキャパシタ構造とすることにより、キャパシタノード層に対するトランジスタのコンタクトを形成する際の合わせ余裕が大きく、従って低抵抗のコンタクトが可能になる。

【0041】〔実施の形態2〕実施の形態1では、n型層からなる埋め込みプレート24をシリコン基板1の上部にp型層が残る状態に形成した。これに対して実施の形態2では、シリコン基板1の上部まで埋め込みプレート24を形成する。実施の形態1の図4に対応する断面を、図14に示す。

【0042】実施の形態1と同様に、キャパシタ溝21を形成するRIEを行った後、埋め込みプレート24を形成するために、ASGからの固相拡散又は気相AS拡散を行う。このとき、図14に示すように、埋め込みプレート24はシリコン基板1の上部まで形成する。この様にすると、実施の形態1で必要であったレジストリセス工程（ASG固相拡散を用いた場合）又はブロック層の形成（気相AS拡散を用いた場合）が不要となるので、工程が簡略化される。

【0043】埋め込みプレート24の形成後、キャパシ

タ絶縁膜22を形成し、Asドーパ多結晶シリコンからなるキャパシタノード層23を埋め込み形成する。キャパシタノード層23の上端は、シリコン基板1の表面より下になるようにし、これより上にあるキャパシタ絶縁膜はウェットエッチングにより除去する。ここまでの、図14の状態である。

【0044】この後、図15に示すように、キャパシタノード層23の酸化防止用及びキャパシタノード23と基板の分離用となるシリコン酸化膜28を堆積する。この酸化膜28をCMPにより平坦化した後、RIE等により酸化膜28の表面がシリコン基板1の面より下に位置するようにリセスする。そして、酸化膜101と窒化膜102を剥離した後、図16に示すように、シリコン層3をエピタキシャル成長させる。シリコン層3は、2 μ m程度成長させた後、CMPにより平坦化して500nm程度の厚み残す。このとき、CMPによる平坦化の負担を減らすため、水素アニールを併用してもよい。シリコン層3はキャパシタ2の周囲にあるシリコン基板1の結晶面を種として結晶成長するため、キャパシタ2の領域上でもトランジスタ形成に適した良質の結晶性を有するものとなる。

【0045】以下、実施の形態1と同様の工程を経て、DRAMを完成する。図17がビット線7まで形成した状態の、図2に対応する断面である。この実施の形態によると、埋め込みプレートをシリコン基板の上部まで形成することにより、埋め込みプレートの上部を決定するレジストリセス工程が省略できる。また、2ステップのキャパシタノード層を埋め込む実施の形態1に対して、この実施の形態ではキャパシタ上部のカラー酸化膜が不要になり、キャパシタノード層の面積が実施の形態1に比べて大きくなり、コンタクト孔に対する許容範囲が大きくなる。

【0046】〔実施の形態3〕図18は、実施の形態3によるDRAMのレイアウトを、図1に対応させて示している。この実施の形態では、キャパシタ2の配列を市松模様としている。即ち、キャパシタ2は、一辺が2Fの略正方形であり、その辺をx、y方向に一致させ、x方向にスペースが2F以上の一定ピッチで且つ、隣接するビット線では順次1、2ピッチずつずれた状態に配列される。y方向についても同様に、スペースが2F以上の一定ピッチで且つ、隣接するワード線で順次1、2ピッチずつずれた状態に配列される。従って、キャパシタ配列は市松模様をなす。その断面構造及び製造工程は、実施の形態1或いは2によるものと同様である。

【0047】この実施の形態によると、キャパシタの面積及び周辺長はメモリセル面積に対して極大となり、大きなキャパシタ容量が得られる。またキャパシタ溝形成時のアスペクト比が小さく、キャパシタ加工が容易である。更に、大きな面積のキャパシタを用いることにより、トランジスタ拡散層とキャパシタの接続のコンタク

トに対する合わせ余裕も大きくなる。

【0048】〔実施の形態4〕次に、トランジスタ拡散層のキャパシタノード層に対するコンタクトを改良した実施の形態4を説明する。この実施の形態4では、シリコン層3を2回のエピタキシャル成長工程により形成すること、第1層シリコン層にキャパシタノード層に達するコンタクト層を埋め込み、第2層、シリコン層を形成した後トランジスタを形成すること、トランジスタ拡散層はその底面でキャパシタノード層に対するコンタクト層に接すること、等を特徴とする。

【0049】DRAMレイアウトは、実施の形態1或いは3と同様であるから説明を省き、製造工程を説明する。実施の形態1の図8のステップまでは同じ工程をとる。この後の工程が、図19～図23である。図19は、第1のシリコン層3aを実施の形態1と同様にエピタキシャル成長させた後、キャパシタノード層26に対するコンタクト孔106を形成した状態を示している。

【0050】この後、図20に示すように、コンタクト孔106の内壁にカラー酸化膜107を形成する。具体的には、TEOS酸化膜を20nm程度コンタクト孔106内に堆積し、RIEにより側壁にカラー酸化膜107として残す。次に、リン又は砒素をドーパした多結晶シリコンを堆積し、CMPとRIEによるエッチングを行って、キャパシタ・コンタクト層9として埋め込む。このとき、コンタクト層9の表面はシリコン層3aの表面より下に位置するようにする。

【0051】次に、窒化膜102、酸化膜101及びカラー酸化膜107のコンタクト層9の上部に露出する部分を除去した後、図21に示すように、第2のシリコン層3bをエピタキシャル成長させる。第2のシリコン層3bの表面は平坦化する。その後、図22に示すように、実施の形態1と同様にしてシリコン酸化膜103とシリコン窒化膜104のマスクをパターン形成して、STIにより素子分離絶縁膜4を形成する。素子分離絶縁膜4は、好ましくは第1のシリコン層3aに達する深さに埋め込む。

【0052】続いて、窒化膜104と酸化膜103を除去して、実施の形態1と同様にp型ウェル形成及びしきい値調整のためのイオン注入を行う。その後、図23に示すように、ゲート絶縁膜61を介してゲート電極62を形成し、ソース、ドレインのイオン注入を行う。このとき、ソース、ドレイン拡散層は、図23に示すように、ビット線に接続される拡散層63a側は先の実施の形態と同様である。キャパシタノード側のn型拡散層63bは、キャパシタノード層9からの不純物の上方拡散と上からのイオン注入不純物が重なり、実質的に深くなって、その底面がキャパシタノード層9の上端に接続される。

【0053】その後、公知のセルフアラインコンタクト(SAC)技術を用いて、n型拡散層63aに対するビ

ト線コンタクト層8を埋め込み形成し、更に公知のダマシオン法によりビット線7を形成する。この実施の形態によると、トランジスタの拡散層は、キャパシタノード層上に埋め込まれたコンタクト層の上面に接続されることになり、コンタクト面積が大きくなり、安定で低抵抗のコンタクトが得られる。

【0054】〔実施の形態5〕図24は、実施の形態5によるDRAMの断面を実施の形態2の図17に対応させて示している。シリコン層3をエピタキシャル成長させたとき、下地が単結晶でないキャパシタ2の上の部分は多結晶となり、図24に破線で示すようなファセット201が生じる。p型ウェルの境界202がこのファセット201に重なると、リーク電流の原因となる。特にn型層である埋め込みプレート24が境界202と重なる状態のとき、その接合面がファセット201と重なると、p型ウェルと埋め込みプレート24の間のpn接合でリーク電流が増大する。

【0055】そこでこの実施の形態では、図24に示すように、ウェル境界202がファセット201に重ならないようにする。具体的には、p型ウェル形成時、高加速イオン注入により、急峻な不純物濃度分布をもつように深きコントロールを行う。これにより、リーク電流の増大を防止することができる。

【0056】〔実施の形態6〕実施の形態2と同様のキャパシタ構造を用いて、キャパシタノード層とトランジスタ拡散層の接続に埋め込みストラップ方式を適用した実施の形態6を説明する。図25はこの実施の形態6のDRAMのレイアウトを、図1に対応させて示している。基本的なレイアウトは図1と同様であるが、図1ではトランジスタ拡散層とキャパシタノードを接続するコンタクト層9がキャパシタ2のほぼ中心に配置されたのに対し、この実施の形態6ではキャパシタ2の中心からx方向にずれて、素子分離領域近くに配置されている点が異なる。これは、埋め込みストラップによる接続を確実にするための配慮である。

【0057】図26～図31は、この実施の形態のDRAM製造工程を、図25のA-A'断面を用いて示したものである。図16までの工程は実施の形態2と同じであり、この後図26に示すように、シリコン酸化膜301とシリコン窒化膜302のマスクを用いて、キャパシタノード層23に対するコンタクト孔106を加工する。図示のように、コンタクト孔106は、キャパシタ2の中心から外側にずれている。

【0058】次に、図27に示すように、コンタクト孔106の内壁にカラー酸化膜107を形成する。具体的には、TEOS酸化膜を20nm程度コンタクト孔106内に堆積し、RIEにより側壁にカラー酸化膜107として残す。次に、リン又は砒素をドーパした多結晶シリコンを堆積し、CMPとRIEによるエッチングを行って、コンタクト層9aとして埋め込む。このとき、コ

ンタクト層9aの表面はシリコン層3aの表面より150nm程度下に位置するようにする。

【0059】続いて、コンタクト層9aの上部に露出するカラー酸化膜107をウェットエッチングにより除去し、斜めイオン注入を行って、図28に示すように、コンタクト孔106の上部側壁に、後に形成されるトランジスタ拡散層に接続されるn型拡散層（埋め込みストラップ）303を形成する。次に再度、砒素又はリンがドーパされた多結晶シリコンを堆積し、CMPとRIEによりリセスして、コンタクト孔106の上部に第2のコンタクト層9bを埋め込む。このコンタクト層9bの表面は、シリコン基板表面から70nm程度下に位置するようにする。

【0060】その後、STI技術により、図29に示すように素子分離溝を加工し、図30に示すように素子分離絶縁膜4を埋め込む。素子分離溝は、能動素子領域5の外側にも形成される無用な埋め込みストラップ303を削り取るように、コンタクト層9b、9aの外側上部にかかるように形成される。素子分離絶縁膜4は、シリコン層表面にほぼ一致する表面を持つように埋め込むことにより、コンタクト層9aの表面を絶縁膜4aで覆った状態とする。

【0061】その後、ウェル形成やしきい値調整用のイオン注入工程を終了後、先の実施の形態と同様、図31に示すように、トランジスタ6を形成する。トランジスタ6のソース、ドレイン拡散層63のうち、キャパシタノード側の拡散層63bは、埋め込みストラップ303を介し、更にコンタクト層9b、9aを介してキャパシタノード層23に接続される。この後は図を示さないが、ビット線コンタクトのセルフアライン埋め込みを行い、更にダマシオン法によるビット線形成を行う。

【0062】この実施の形態によると、キャパシタ2上に埋め込み形成されたコンタクト層9に対して埋め込みストラップ方式でトランジスタ拡散層を接続することができる。この場合、コンタクト層9の位置をキャパシタ2の中心位置からx方向に素子分離領域側にずらしており、これによりトランジスタ拡散層との合わせ余裕を確保することができる。なおこの実施の形態の埋め込みストラップ方式は、図18に示すキャパシタレイアウトの場合にも同様に適用することが可能である。

【0063】〔実施の形態7〕図32は、トランジスタとキャパシタの接続に表面ストラップ方式を採用した実施の形態7によるDRAMレイアウトを示し、図33及び図34はそれぞれ、図32のA-A'断面及びB-B'断面を示している。キャパシタレイアウトについては実施の形態1と同様のレイアウトを採用し、キャパシタ構造については実施の形態2と同様の構造を採用している。

【0064】図32のレイアウトにおいて、図1と異なる点は、トランジスタ6をキャパシタ2のノードに接続

するための埋め込みコンタクト層9が、キャパシタ2の中心からワード線WLの方向にずれた位置に形成されていることである。言い換えれば、コンタクト層9は、正方形のキャパシタ2の対角線上に形成される能動素子領域5に対して、略半分重なる状態で形成される。そして、図33及び図34に示すように、トランジスタ6のキャパシタ2に接続されるべき拡散層63とコンタクト層9と間をそれらの表面に形成した接続導体10により接続している。

【0065】その具体的な製造工程を、図33の断面に対応する図35～図42の工程断面図を用いて説明する。図35は基本的に図33と同様であり、キャパシタ2が形成された基板にシリコン層3をエピタキシャル成長させた後、キャパシタ2に対するコンタクト孔106を形成した状態を示している。コンタクト孔106は、図35の断面ではキャパシタ2の略中心にあるが、これと直交するWL方向の断面ではキャパシタ2の中心からずれて、図32にコンタクト層9として示した位置に形成される。

【0066】この後、図36に示すようにコンタクト孔106に先の実施例と同様にしてカラー酸化膜107を形成し、砒素或いはリンドーブの多結晶シリコンによるコンタクト層9を埋め込む。コンタクト層9の面位置は、シリコン層3の表面から50nm程度下にあるようにする。その後、STI技術により、図37に示すように素子分離溝を加工し、図38に示すように素子分離絶縁膜4を埋め込む。素子分離絶縁膜4は、シリコン層表面にほぼ一致する表面を持つように埋め込むことにより、コンタクト層9の表面を絶縁膜4aで覆った状態とする。

【0067】その後、シリコン酸化膜301とシリコン窒化膜302は剥離し、犠牲酸化膜を形成してウェル形成及びしきい値調整のイオン注入を行う。そして犠牲酸化膜を剥離して、図38に示すようにゲート酸化膜61を形成する。この後、図39に示すように、先の各実施の形態と同様の工程でトランジスタ6を形成する。トランジスタ6のゲート電極62の間は層間絶縁膜67により平坦に埋め込まれる。

【0068】次に、ビット線コンタクトと表面ストラップを同時に形成するため、図40に示すように能動素子領域5の反転パターンのレジスト401を形成し、これを用いて能動素子領域5上のゲート電極62間にある層間絶縁膜であるBPSG膜67をエッチング除去する。更に、除去した層間絶縁膜67の下に露出したシリコン窒化膜66、ゲート酸化膜61、更にコンタクト層9を覆っている絶縁膜4aをエッチングして、図41に示すように、コンタクト層9及びビット線を接続する拡散層63の面を露出させる。このとき、コンタクト層9上の開口は、能動素子領域5に整合されているから、図の断面に直交するワード線方向については、図32から明ら

かなように、コンタクト層9の上面の半分を露出させた状態となる。

【0069】この後、砒素又はリンドーブの多結晶シリコンを堆積し、CMPにより平坦化して、図42に示すようにビット線コンタクト層8と同時に、キャパシタとトランジスタを接続する接続導体としての表面ストラップ10を埋め込み形成する。ワード線方向については、図34の断面に示すように、表面ストラップ10は、トランジスタ6の拡散層63とコンタクト層9にまたがって形成され、これらを接続する。この後には図示しないが、先の各実施の形態と同様にダマシーニ法によりビット線7を形成する。

【0070】この実施の形態では、トランジスタ形成後にキャパシタとトランジスタが表面ストラップにより接続されるので、ストラップ形成後の熱工程が少なく、シリコン層3に結晶欠陥が入りにくい。また、表面ストラップであるため、多結晶シリコンであるコンタクト層9と能動領域のシリコン層3の接触面積が小さく、これも結晶欠陥の導入を抑える。更に、図32に示したように、コンタクト層9はキャパシタ2の中心からずれた位置に埋め込まれるが、キャパシタ面積が大きいから、表面ストラップ10はコンタクト層9と拡散層63を低抵抗で接続することができる。

【0071】〔実施の形態8〕図43は、実施の形態7でのレイアウトを変更した実施の形態のレイアウトである。実施の形態7では、能動素子領域5の中心がキャパシタ2の対角線を横切るように、従ってキャパシタ2の中心を通るようにレイアウトした。このため、キャパシタ2とトランジスタ6を接続するコンタクト層9をキャパシタ2の中心からずらして配置している。これに対し、図43では、コンタクト層9をキャパシタ2の中心に配置している。そしてその結果として、能動素子領域5は、キャパシタ2の対角線からy方向にずれて、コンタクト層9を分断するようにレイアウトしている。

【0072】この様なレイアウトを採用することにより、コンタクト層9とキャパシタ2の合わせずれに対する余裕が大きくなる。即ちこの合わせずれが多少あったとしても、コンタクト層9がキャパシタ2の領域外のシリコン層と短絡する事態は確実に防止される。

【0073】〔実施の形態9〕図44は、単位セルの面積をより小さくした実施の形態のDRAMレイアウトである。ここまでの実施の形態では能動素子領域5のx方向の大きさを6Fとしたのに対し、この実施の形態では能動素子領域5のx方向配列は、大きさが5F、スペースが1Fとしている。y方向には1.3ピッチずつずれる。

【0074】ビット線BL及びワード線WLをライン・スペース＝1F、1Fで形成するとして、キャパシタ2は、破線で示すように、各能動素子領域5の両端部に、x方向の大きさ1F、y方向の大きさ2Fの長方形とし

て配置される。断面構造及び製造工程については説明を省くが、実施の形態1或いは実施の形態2いずれを用いてもよい。

【0075】この実施の形態の場合、ビット線BL方向にワード線WLの配列をみると、トランジスタ6を駆動する2本のアクティブワード線に対して通過ワード線1本という割合で配置される。単位セルの大きさは、ビット線方向に3F、ワード線方向に2Fであり、6F²となる。現在一般に用いられているDRAMセルアレイは、ワード線方向に4F、ビット線方向に2Fである。これと比較すると、同じデザインルールであれば、メモリセル面積を縮小することができ、同じメモリセル面積とすればデザインルールを緩くすることができる。

【0076】従来の技術では、トランジスタとキャパシタの間のコンタクトと、ワード線との間で合わせ余裕が必要であったため、完全な6F²のメモリセルを実現することが困難であった。この発明の場合、ワード線とキャパシタコンタクトを自己整合的に形成することができるため、6F²の大きさのメモリセルを容易に実現することができる。

【0077】〔実施の形態10〕実施の形態1では、キャパシタ・コンタクト層9とビット線コンタクト層8を別工程で埋め込んだのに対し、この実施の形態ではセルフアラインコンタクト技術を用いてこれらを同時に埋め込み形成し、且つキャパシタのコンタクト層9とn型拡散層の接続を表面ストラップ方式により行う。その製造工程を、図45～図48を用いて説明する。なお、キャパシタ構造については、実施の形態2と同じ構造を用いているが、実施の形態1の構造を用いることも可能である。

【0078】実施の形態1或いは実施の形態2と同様に、基板1にキャパシタ2を形成し、シリコン層3をエピタキシャル成長させ、素子分離を行ってトランジスタ6を形成する。この後、素子領域5の反転パターンレジストを用いて、層間絶縁膜67をRIEによりエッチング除去する。更にゲート電極間に露出したシリコン酸化膜を除去してn型拡散層63を露出させた後、20～30nmの薄いシリコン酸化膜402を堆積し、これをゲート側壁に残す。この状態が図45である。

【0079】この後、キャパシタのコンタクト部分に開口を持つレジスト403をリソグラフィによりパターン形成し、シリコン酸化膜に対して選択比の大きいエッチング法でシリコンエッチングを行い、図46に示すようにキャパシタ2に対するコンタクト孔106を形成する。コンタクト孔106の底部に露出する酸化膜28をエッチングして、コンタクト孔106の底部にキャパシタノード層23を露出させる。

【0080】次に、ゲート側壁のシリコン酸化膜402をウェットエッチングにより除去した後、コンタクト孔106の内部に熱酸化により15nm程度のカラー酸化

膜107を形成する。更にカラー酸化膜107の上部をエッチングし、同時にキャパシタコンタクト部及びビット線コンタクト部の素子領域表面の酸化膜を除去する。この状態が図47である。このとき、図示のように、コンタクト孔106の上部周囲には、素子領域のn型拡散層63の表面が露出する。

【0081】この後、砒素ドーパント又はリンドーパント多結晶シリコンを堆積し、CMPで平坦化して、図48に示すように、キャパシタ・コンタクト層9とビット線コンタクト層8を同時に埋め込み形成する。その後は先の実施の形態と同様にビット線及び金属配線を形成して、DRAMを完成する。

【0082】この実施の形態によると、キャパシタ・コンタクト層9は、その上部がコンタクト孔開口後の側壁酸化膜除去工程によって露出したn型拡散層63の表面にコンタクトしており、表面ストラップとなる。即ち、コンタクト孔周囲に素子領域の空き領域が形成されて、表面ストラップがビット線コンタクトと同時に形成される。

【0083】〔実施の形態11〕ここまでの実施の形態では、能動素子領域を形成する半導体層として、キャパシタが形成された基板上にエピタキシャル成長させたシリコン層3を用いた。これに対してこの実施の形態では、能動素子領域として一層結晶性のよい半導体層を用いるために、キャパシタが形成されたシリコン基板上にシリコン基板を貼り合わせる直接接着技術を用いる。貼り合わせにより得られたSOI基板に、キャパシタノードに接続するためのコンタクト層を埋め込み形成し、その上に更にシリコン層をエピタキシャル成長させて、能動素子領域を形成する。

【0084】図49はこの実施の形態のDRAM断面構造を示している。キャパシタ2のレイアウトは実施の形態1或いは実施の形態3と同じである。キャパシタ構造は実施の形態2と同様の構造の場合を示しているが、実施の形態1のようなキャパシタ構造でもよい。図49の構造において、酸化膜303と304の境界が基板接着面であり、その上のシリコン層(SOI層)301が接着されたシリコン基板を研磨して残されたフルクシリコン層である。酸化膜303と304は基板分離用絶縁膜となっている。その具体的な製造工程を図50～図55を参照して、以下に説明する。

【0085】シリコン基板1は、(100)配向をもった、不純物濃度 $1 \sim 5 \times 10^{15} \text{ cm}^{-3}$ 程度のp型シリコン基板(又はその表面にp型エピタキシャル層を1 μm 程度成長させたエピタキシャル基板)である。この基板1の図示しない周辺回路領域には、PMOSTランジスタ領域、NMOSTランジスタ領域にそれぞれn型ウェル、p型ウェルを形成する。その後メモリセルアレイ領域に、先の各実施の形態と同様、図50に示すようにキャパシタ2を形成する。キャパシタ2のキャパシタノード

ド層23は、トレンチ加工にマスクとして用いられたシリコン窒化膜102の表面位置に合わせた面位置に埋め込まれる。

【0086】この後、図51に示すように、キャパシタノード層23の表面をキャップ絶縁膜28により覆う。キャップ絶縁膜28には、CVD酸化膜、熱酸化膜或いはシリコン窒化膜を用い得る。次に、キャップ絶縁膜28で覆われた基板を平坦化するCVDシリコン酸化膜303を形成する。具体的には、300nm程度のシリコン酸化膜を堆積し、CMPにより平坦化する。

【0087】この後、SOI層の形成を行う。即ち、第2のシリコン基板を用意し、その表面に貼り合わせを行うための絶縁膜(図51に示す酸化膜304)として、熱酸化膜を10nm程度形成し、好ましくは更に、BPSG(又はCVD SiO₂)膜を200nm程度堆積して平坦化する。そして、この第2のシリコン基板をその酸化膜304側を第1のシリコン基板1の酸化膜303に接する状態に重ねて、900℃程度の加熱条件下で直接接着する。酸化膜304としてBPSG膜を用いると、比較的低温で良好な密着性が得られること、またキャップ絶縁膜28にシリコン窒化膜を用いた場合に、後のコンタクト孔形成工程でエッチングストップの制御が容易になること、等の点で好ましい。

【0088】この後、貼り合わせた第2のシリコン基板を研磨し、エッチングして、150nm程度のシリコン層301として残し、SOI基板を得る。図51はこの状態を示している。このSOI基板のシリコン層301の表面は、後のトランジスタ形成に耐えられるように、鏡面研磨されているものとする。なお、SOI基板の形成方法として、上の例に限られず、イオン注入法を用いる方法等、他の方法を用いることもできる。

【0089】次に、図52に示すように、シリコン層301の表面にシリコン酸化膜305を例えば熱酸化法により50nm程度形成する。そして、リソグラフィとRIEによりエッチングを行って、キャパシタ2の領域にキャパシタノード層23に対するコンタクト孔106を加工する。酸化膜305は、レジストプロセス及びエッチングプロセスにおけるシリコン層301の表面汚染を防止する。コンタクト孔106の加工は、まずシリコン層301をエッチングし、露出した酸化膜304、303をエッチングし、更にキャップ絶縁膜28をエッチングして、キャパシタノード層23の面を露出させる。このときキャップ絶縁膜28としてシリコン窒化膜を用いていれば、これが酸化膜304、303のエッチング時のストップ層となる。

【0090】形成されたコンタクト孔106の側壁に次に、30nm程度のCVDシリコン酸化膜107を形成する。これは、全面にCVDシリコン酸化膜を堆積した後、RIEにより側壁のみに残す方法で形成する。その後、砒素ドーパの多結晶シリコンを堆積し、CMPとR

IEにより、コンタクト孔106内にコンタクト層9として埋め込む。酸化膜305はこのCMPとRIEの間、シリコン層301を保護する。こうして得られた状態が、図52である。コンタクト層9は例えば、シリコン基板1の表面から0.4μm程度上に出るようにする。

【0091】この後、酸化膜305をエッチング除去し、図53に示すように、シリコン層301上にシリコン層302を60nm程度エピタキシャル成長させる。SOI基板のシリコン層301とこの上にエピタキシャル成長させたシリコン層302の二層が、先の各実施の形態における能動素子形成用のシリコン層3に相当することになる。

【0092】シリコン層302は必要に応じて、CMP等の方法で研磨して凹凸のない平坦面とする。この様にとすると、コンタクト孔106内の多結晶シリコンであるコンタクト層9上に成長した部分と単結晶シリコン層301上に成長した部分の厚みの相違による凹凸をなくすることができ、その後形成されるトランジスタの品質向上が図られる。また図には示さないが、シリコン層302の成長工程前に、トランジスタのパンチスルー防止のために深いチャネルイオン注入を行ってもよい。これにより、パンチスルー防止のための理想的なチャネル不純物プロファイルをトランジスタ領域に形成することができる。

【0093】この後、図54に示すように、STI技術により素子分離絶縁膜4を形成する。即ち、シリコン酸化膜103とシリコン窒化膜104の積層膜マスクをパターン形成し、RIEによりシリコン層3021、302に20nm程度のトレンチを加工した後、CVD-TEOS酸化膜の堆積と平坦化により、素子分離絶縁膜4を埋め込む。

【0094】次に、シリコン窒化膜104と酸化膜103を除去した後、通常のトランジスタ工程に入る。即ち図55に示すように、ゲート絶縁膜を介してゲート電極62を形成し、ソース、ドレインとなるn型拡散層63を形成する。ゲート電極62は、多結晶シリコン膜(50nm)とタングステン・シリサイド膜(50nm)の積層膜とする。具体的にはこの積層膜上に更にキャップ絶縁膜としてのシリコン窒化膜64をパターン形成し、これをマスクとして、タングステン・シリサイド膜と多結晶シリコン膜を順次エッチングする。但し、ゲート電極として多結晶シリコン単層でもよいし、他の積層構造を用いることもできる。

【0095】図55では、通常のシングル・ソース、ドレイン構造を示しているが、これをLDD構造とすることもできる。その場合には、図55の状態では、例えばリンのイオン注入を、加速電圧70KeV、ドーズ量4×10¹³cm⁻²程度の条件で行って低濃度のn型拡散層を形成する。そして、図49に示すように、ゲート電極

62の側壁に側壁絶縁膜69を形成した状態で、砒素イオン注入を例えば、加速電圧30KeV、ドーズ量 $5 \times 10^{15} \text{cm}^{-2}$ の条件で行って、高濃度n型拡散層を形成する。

【0096】このトランジスタ形成工程で、一つの素子領域に二つ形成されるトランジスタの拡散層63のうち、キャパシタに接続されるべき拡散層63は、丁度キャパシタ上のコンタクト層9に位置し、コンタクト層9に対して底面が接続されることになる。実際には、コンタクト層9から上方へのn型不純物拡散が、上からのソース、ドレインn型拡散層と重なり、低抵抗の接続が可能となる。

【0097】トランジスタ形成後、図49に示すように、全面にCVDシリコン窒化膜66を30nm程度堆積し、更に層間絶縁膜67としてBPSG膜を堆積する。これらの膜堆積後、 N_2 雰囲気中で800℃、30分程度のデンシファイ熱処理を行う。この熱工程は、ソース、ドレインの不純物活性化を兼ねて行ってもよい。ソース、ドレインの拡散深さを抑えたい場合には、熱処理の温度を750℃程度の低温とし、950℃、10秒程度のRTA(Rapid Thermal Anneal)プロセスを併用する。層間絶縁膜67はその後、CMPにより平坦化する。

【0098】次に、ビット線コンタクト領域にコンタクト孔を開孔し、砒素ドーパ多結晶シリコンを埋め込んでビット線コンタクト層8とする。続いて、図には示さないが、ソース、ドレイン、ゲート電極へのコンタクト孔を形成し、ビット線7を形成する。更に、層間絶縁膜を堆積し、金属配線を形成した後、全面にパッシベーション膜を形成して、DRAMが完成する。

【0099】この実施の形態によると、SOI基板とエピタキシャル成長技術を組み合わせることにより、キャパシタ上に重ねられるトランジスタを形成する能動素子領域の結晶欠陥を低減できる。より具体的には、キャパシタ上に形成されるトランジスタのゲート酸化膜の欠陥を抑えて、信頼性の高いDRAMを得ることが可能になる。

【0100】〔実施の形態12〕実施の形態11において、素子分離絶縁膜4は、シリコン層302を成長させた後に形成される一層の埋め込み絶縁膜である。これに対して実施の形態12においては、STI技術による2段階の埋め込みによる素子分離構造を用いる。図56は、図1のDRAMレイアウトを用いた場合の第1の素子分離絶縁膜41の埋め込みの様子を示すレイアウトであり、図57は第1の素子分離絶縁膜41を形成した後、シリコン層302をエピタキシャル成長させた状態を示す、図56のA-A'断面図である。

【0101】第1の素子分離絶縁膜41は、図56に示すように、x方向の素子分離領域のみに埋め込み形成され、この段階でy方向の素子分離は行われない。第1の

素子分離絶縁膜41は、図57に示すように、シリコン層301の底面の酸化膜304に達する深さに埋め込まれる。そして、第1の素子分離絶縁膜41の一部を貫通するように、キャパシタノード層への接続用コンタクト孔を加工し、側壁絶縁膜107を形成した後、コンタクト層9を埋め込む。その後、シリコン層302をエピタキシャル成長させる。

【0102】この後、第2の素子分離絶縁膜42をやはりSTI技術により埋め込む。図58はその第2の素子分離絶縁膜42のレイアウトを示している。即ち、第2の素子分離絶縁膜42は、x、y方向の素子分離領域を全て連結した状態で、且つx方向の素子分離領域では第1の素子分離絶縁膜41のエッジより外側にあるように埋め込まれる。図59が図58のA-A'断面図であり、第2の素子分離絶縁膜42は第1の素子分離絶縁膜41より浅く埋め込まれている。図60はこの様な2段階の素子分離絶縁膜構造を用いた基板にトランジスタを形成した状態の断面図である。

【0103】この実施の形態によると、隣接するメモリセルのキャパシタノードが対向するx方向の素子分離領域に、底部酸化膜に達する深い第1の素子分離絶縁膜41を形成することにより、x方向に隣接するキャパシタノード間の短絡やリークを確実に防止することが可能になる。また、第2の素子分離絶縁膜42は、図59から明らかなように、x方向については第1の素子分離絶縁膜41のエッジより外側に形成されるから、トランジスタのn型拡散層63とコンタクト層9との接続面積を大きく確保することができる。これにより、工程のゆらぎ等があった場合にも、キャパシタとトランジスタの接続を低抵抗で且つ安定に行うことができる。

【0104】なお、この様な2段階のSTIによる素子分離構造は、DRAMに限らず、その他の各種半導体集積回路に適用することができる。即ち、一定の電気的導通を維持しながら素子分離を行う箇所に浅いSTI分離膜を形成し、リークやラッチアップ防止のため電気的導通を完全に遮断したい箇所には底部絶縁膜に達する深いSTI分離膜を形成することにより、所望の特性の集積回路を得ることが可能になる。

【0105】

【発明の効果】以上述べたようにこの発明によれば、トレンチキャパシタを最密に配置してその占有面積を極大化することを可能とした半導体記憶装置とその製造方法を提供することができる。

【図面の簡単な説明】

【図1】この発明の実施の形態1によるDRAMのレイアウトを示す図である。

【図2】図1のA-A'断面図である。

【図3】図1のB-B'断面図である。

【図4】同実施の形態のキャパシタ形成工程を示す断面図である。

【図5】同実施の形態のキャパシタ形成工程を示す断面図である。

【図6】同実施の形態のキャップ絶縁膜形成工程を示す断面図である。

【図7】同実施の形態のキャップ絶縁膜形成工程を示す断面図である。

【図8】同実施の形態のシリコン層エピタキシャル成長工程を示す断面図である。

【図9】同実施の形態の素子分離工程を示す断面図である。

【図10】同実施の形態のトランジスタ形成工程を示す断面図である。

【図11】同実施の形態のコンタクト孔形成工程を示す断面図である。

【図12】同実施の形態のキャパシタ側コンタクト孔形成工程を示す断面図である。

【図13】同実施の形態のコンタクト層埋め込み工程を示す断面図である。

【図14】この発明の実施の形態2によるキャパシタ形成工程を示す断面図である。

【図15】同実施の形態のキャップ絶縁膜形成工程を示す断面図である。

【図16】同実施の形態のシリコン層エピタキシャル成長の工程を示す断面図である。

【図17】同実施の形態のDRAMの断面図である。

【図18】この発明の実施の形態3によるDRAMのレイアウトを示す図である。

【図19】この発明の実施の形態4によるDRAMのキャパシタに対するコンタクト孔形成工程を示す断面図である。

【図20】同実施の形態のコンタクト層埋め込み工程を示す断面図である。

【図21】同実施の形態の第2のシリコン層エピタキシャル成長工程を示す断面図である。

【図22】同実施の形態の素子分離工程を示す断面図である。

【図23】同実施の形態のDRAMの断面図である。

【図24】この発明の実施の形態5によるDRAMの断面図である。

【図25】この発明の実施の形態6によるDRAMのレイアウトを示す図である。

【図26】同実施の形態のコンタクト孔開口の工程を示す断面図である。

【図27】同実施の形態のコンタクト層埋め込みの工程を示す断面図である。

【図28】同実施の形態の埋め込みストラップの形成工程を示す断面図である。

【図29】同実施の形態の素子分離溝形成工程を示す断面図である。

【図30】同実施の形態の素子分離絶縁膜埋め込みの工

程を示す断面図である。

【図31】同実施の形態のDRAMの断面図である。

【図32】この発明の実施の形態7によるDRAMのレイアウトを示す図である。

【図33】図32のA-A'断面図である。

【図34】図32のB-B'断面図である。

【図35】同実施の形態のコンタクト孔形成工程を示す断面図である。

【図36】同実施の形態のコンタクト層埋め込み工程を示す断面図である。

【図37】同実施の形態の素子分離溝形成工程を示す断面図である。

【図38】同実施の形態の素子分離絶縁膜埋め込み工程を示す断面図である。

【図39】同実施の形態のトランジスタ形成工程を示す断面図である。

【図40】同実施の形態のビット線コンタクト及び表面ストラップの形成工程を示す断面図である。

【図41】同実施の形態のビット線コンタクト及び表面ストラップの形成工程を示す断面図である。

【図42】同実施の形態のビット線コンタクト及び表面ストラップの形成工程を示す断面図である。

【図43】この発明の実施の形態8によるDRAMのレイアウトを示す図である。

【図44】この発明の実施の形態9によるDRAMのレイアウトを示す図である。

【図45】この発明の実施の形態10によるコンタクト孔形成工程を示す断面図である。

【図46】同実施の形態10によるコンタクト孔形成工程を示す断面図である。

【図47】同実施の形態10によるコンタクト孔形成工程を示す断面図である。

【図48】同実施の形態10によるコンタクト層埋め込み工程を示す断面図である。

【図49】この発明の実施の形態11によるDRAMの断面図である。

【図50】同実施の形態のキャパシタ形成工程を示す断面図である。

【図51】同実施の形態のSOL層形成工程を示す断面図である。

【図52】同実施の形態のコンタクト層埋め込み工程を示す断面図である。

【図53】同実施の形態のシリコン層エピタキシャル成長工程を示す断面図である。

【図54】同実施の形態の素子分離工程を示す断面図である。

【図55】同実施の形態のDRAMの断面図である。

【図56】この発明の実施の形態12によるDRAMの第1の素子分離工程のレイアウトを示す図である。

【図57】図56のA-A'断面図である。

【図58】同実施の形態の第2の素子分離工程のレイアウトを示す図である。

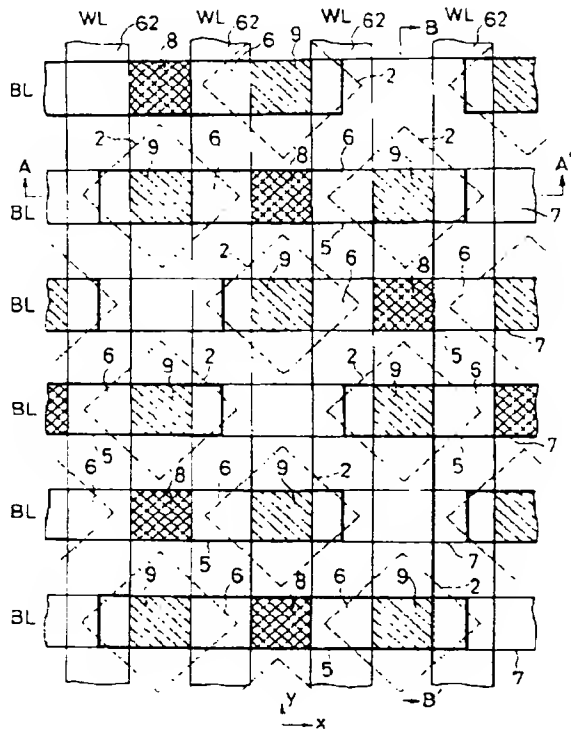
【図59】図58のA-A'断面図である。

【図60】同実施の形態のトランジスタ形成工程を示す断面図である。

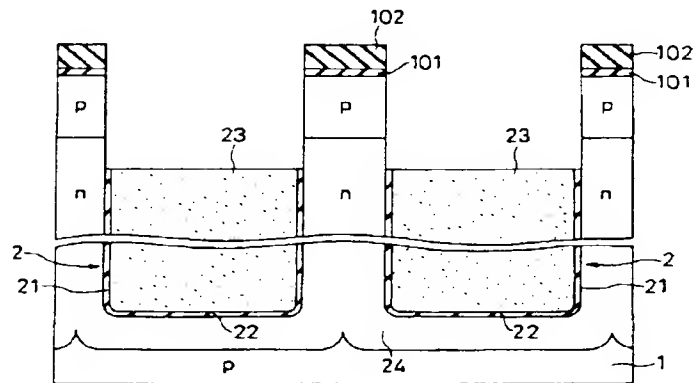
【符号の説明】

1…シリコン基板、2…トレンチキャパシタ、3…シリコン層、4…素子分離絶縁膜、5…能動素子領域、6…トランジスタ、62…ゲート電極（ワード線WL）、7…ビット線（BL）、8…ビット線コンタクト層、9…キャパシタ・コンタクト層。

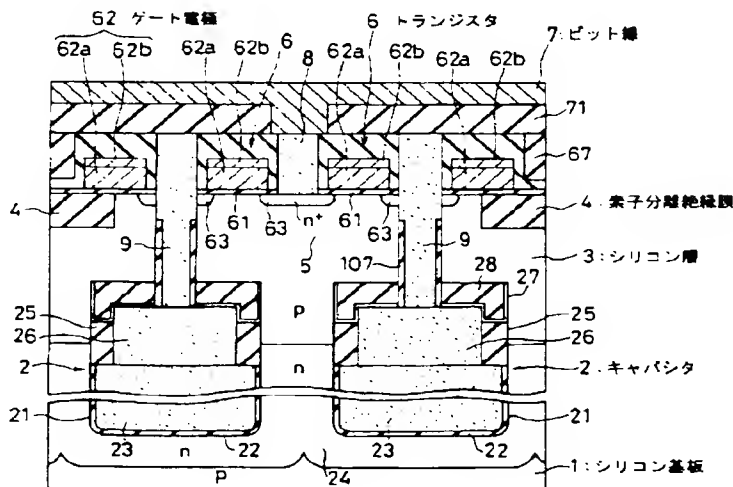
【図1】



【図4】

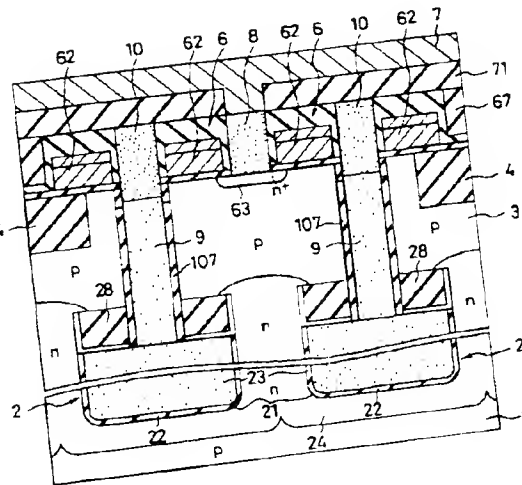


【図2】

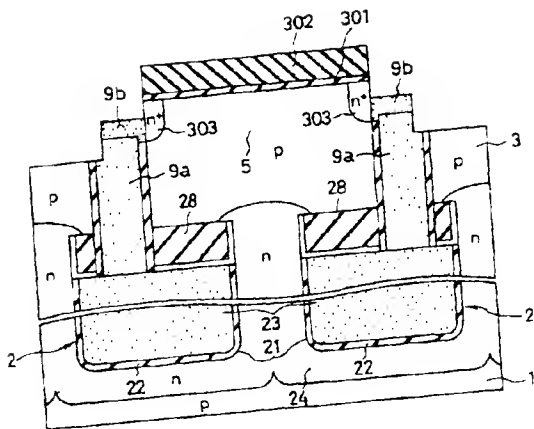


(24)

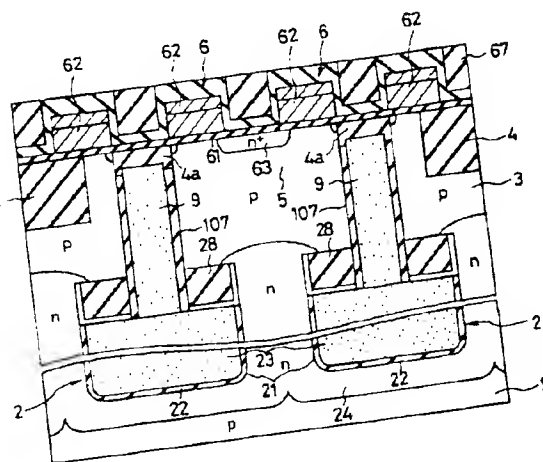
【図33】



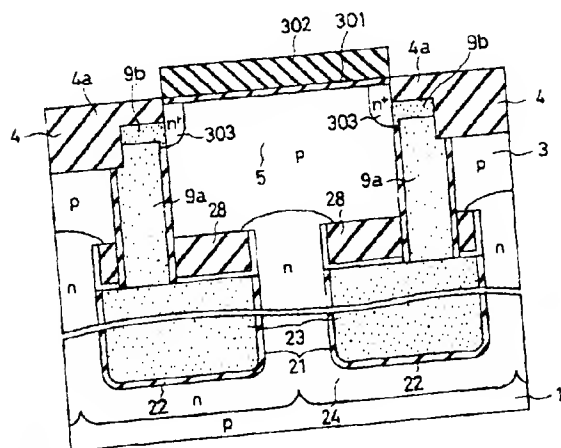
【図29】



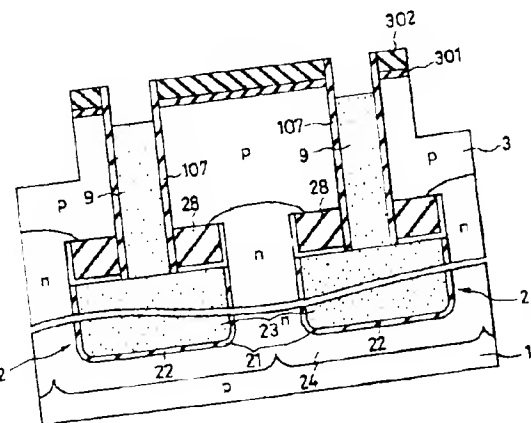
【図39】



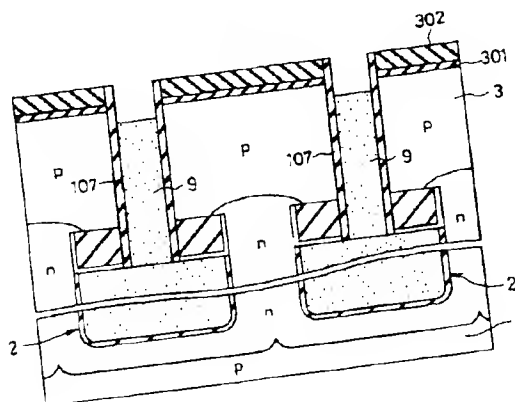
【図30】



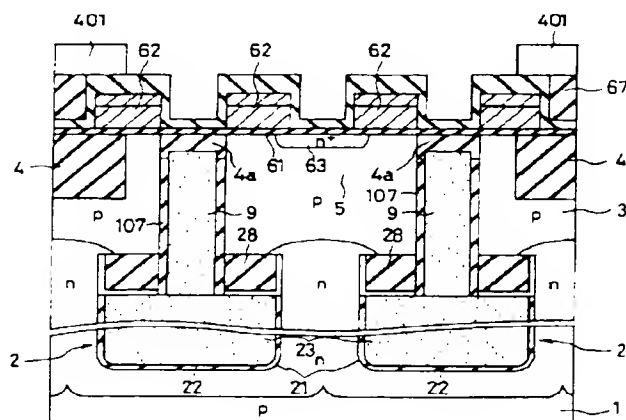
【図37】



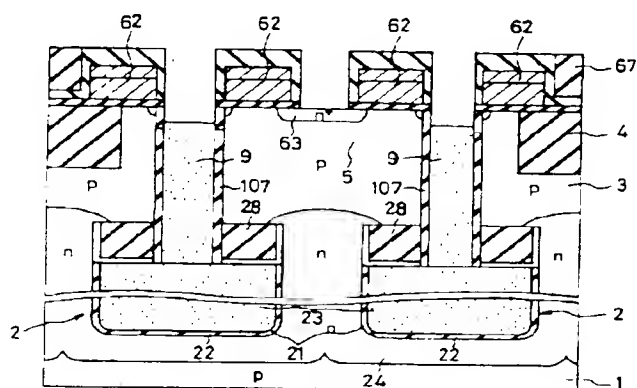
【図36】



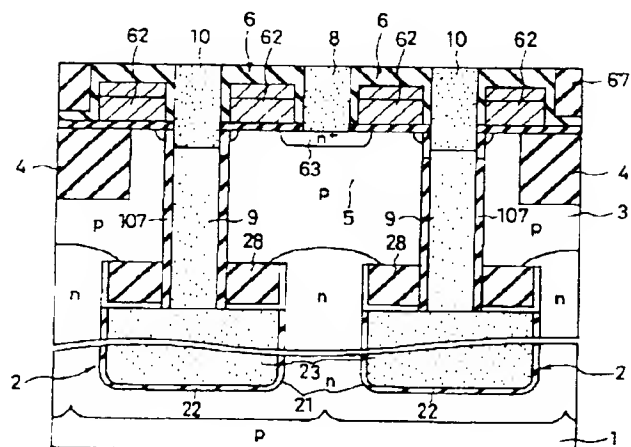
【図 40】



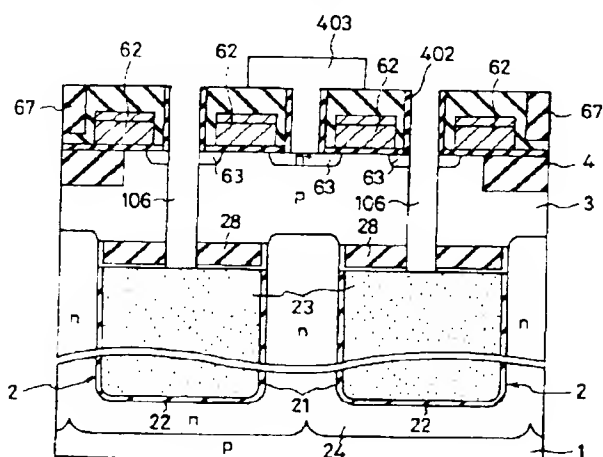
【図 41】



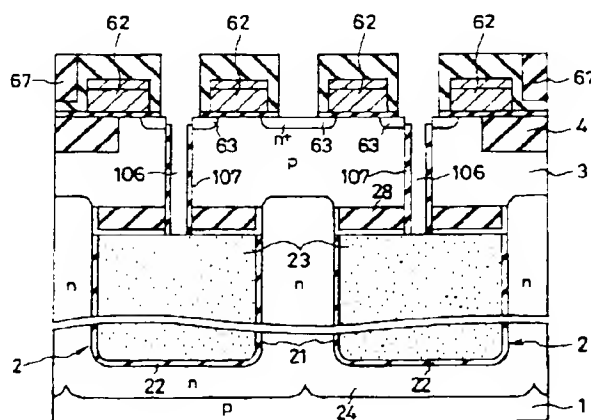
【図 42】



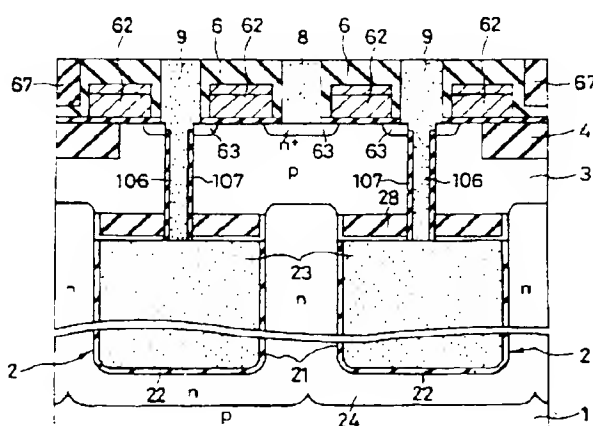
【図 46】



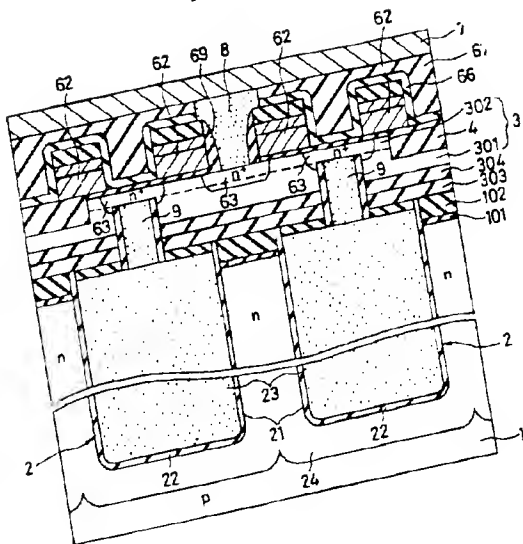
【図 47】



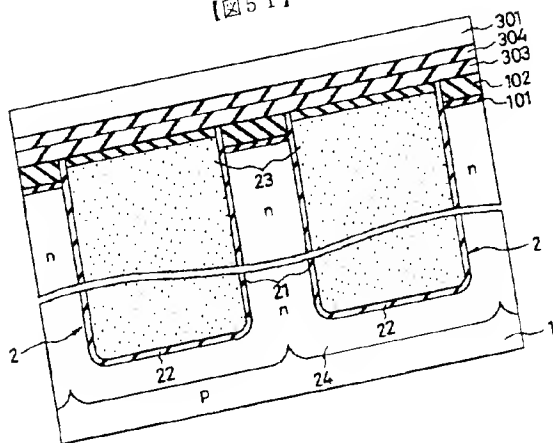
【図 48】



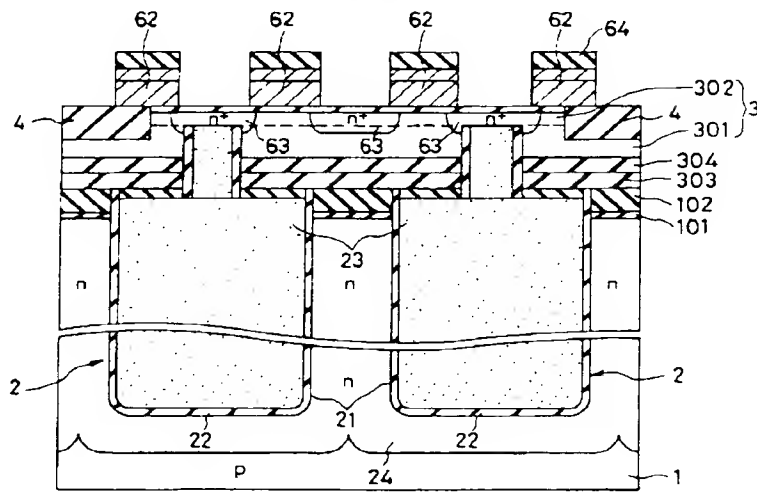
【図49】



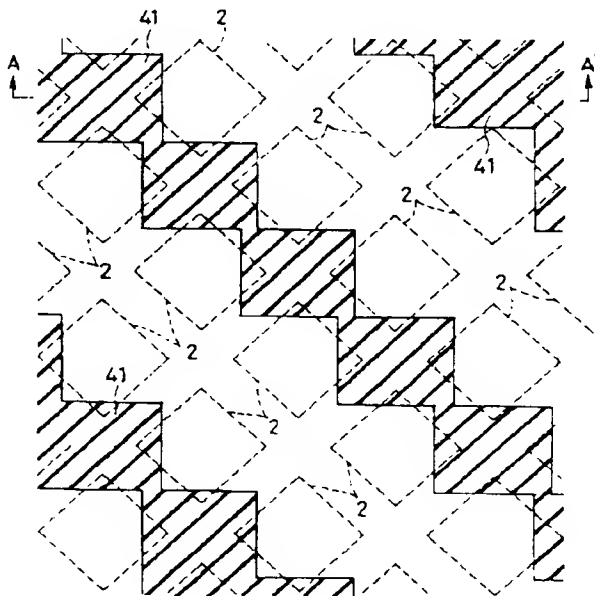
【図51】



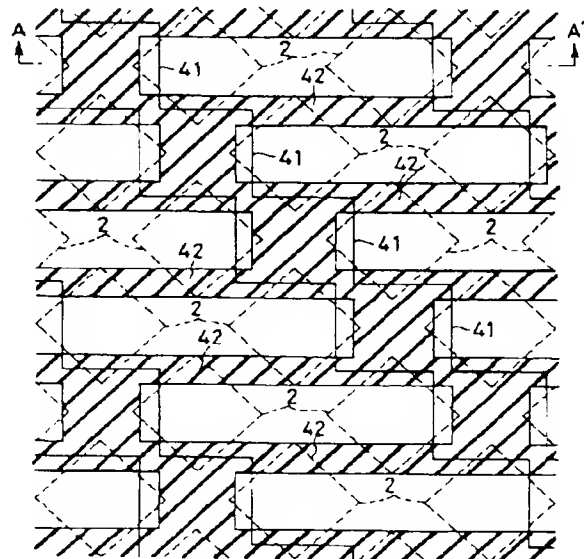
【図 55】



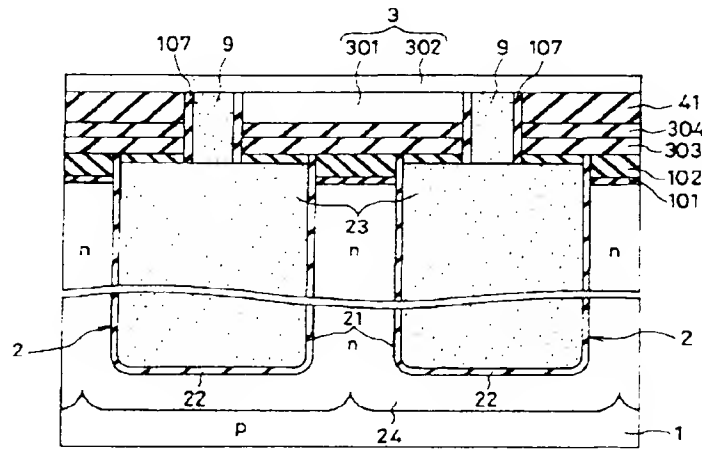
【図 56】



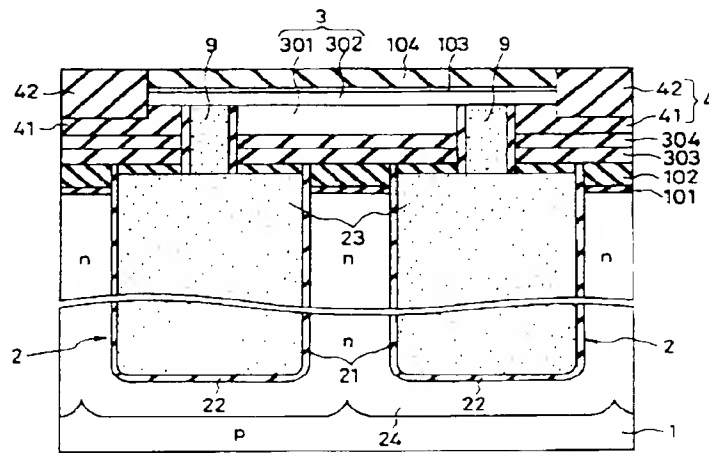
【図 58】



【図 57】



【図 59】



(72) 発明者 幸山 裕亮
神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内

(72) 発明者 仁田山 晃寛
神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内

F ターム (参考) 5F083 AD17 AD51 AD54 AD60 GA09
GA28 GA30 HA02 JA04 JA19
JA32 JA39 JA40 JA56 LA01
LA21 MA06 MA17 MA20 NA01
PR03 PR05 PR06 PR10 PR12
PR21 PR25 PR29 PR33 PR34
PR36 PR39 PR40